



PATENT ABSTRACTS OF JAPAN

(11)Publication number: **59197936 A**(43)Date of publication of application: **09.11.84**(51)Int. Cl **G06F 7/52**(21)Application number: **58072479**(22)Date of filing: **25.04.83**(71)Applicant: **FUJITSU LTD**(72)Inventor: **KARIBE HIROHISA****(54)DIGITAL SIGNAL PROCESSING SYSTEM**

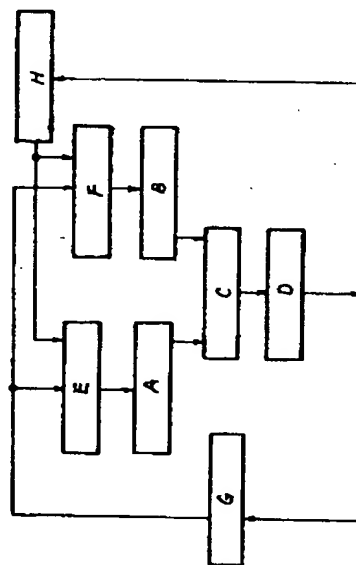
solutions of integer calculation.

(57)Abstract:

COPYRIGHT: (C)1984,JPO&Japio

PURPOSE: To add a simple change to a fixed-point circuit and use directly its multiplied results as the solution of integer calculation by registering an integer multiplier and integer multiplicand in respective registers by shifting their digital positions in case of multiplication between integers.

CONSTITUTION: In the case of multiplication between ordinary data, data of the multiplier and multiplicand are inputted into registers A and B through selectors E and F from a register for data memory, respectively, and the multiplication is performed at a multiplier C by a fixed-point system, and then, the solution is outputted to an accumulator D. Even in the case of multiplication between integers, data of the multiplier and multiplicand are added to the registers A and B through the selectors E and F and, at the same time, data from an address register H are added to the registers A and B through the selectors E and F in the same way. The multiplier and multiplicand are registered from the highest ranked one. The registers A and B are constituted so that the data can be registered under a condition where their digital positions are shifted. Moreover, by adding a registering instruction, multiplied results between integers are used as



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—197936

⑤ Int. Cl.³
G 06 F 7/52

識別記号

庁内整理番号
7056—5B

⑬ 公開 昭和59年(1984)11月9日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ デジタル信号処理方式

川崎市中原区上小田中1015番地
富士通株式会社内

⑯ 特 願 昭58—72479

⑰ 出 願 人 富士通株式会社

⑱ 出 願 昭58(1983)4月25日

川崎市中原区上小田中1015番地

⑲ 発 明 者 雁部洋久

⑳ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

デジタル信号処理方式

2. 特許請求の範囲

乗数を収容するレジスタ、被乗数を収容するレジスタ、乗算回路及びアキュムレータより構成される固定小数点乗算回路に於いて、整数同士の乗算を実施する場合、前記整数の乗数、被乗数を前記レジスタに置数する際、桁位置をずらして置数出来る様にすることを特徴とするデジタル信号処理方式。

3. 発明の詳細な説明

(a). 発明の技術分野

本発明はデジタル信号処理の乗算ブロックの構成に係り、特に乗算器の結果の下位ビットを丸める場合にも乗数、被乗数の置数位置を設定することにより整数演算が可能な方式に関するものである。

(b). 従来技術と問題点

第1図は従来技術によるDSPの乗算器部分の

構成を示す。

図中、A、Bはレジスタ、Cは乗算回路、Dはアキュムレータである。

レジスタA、Bに置数された値の積がアキュムレータDに出力される。

第2図は第1図の回路の動作を説明する為の図である。

第2図に於いて、乗算器として固定小数点方式を取る場合例えばデータ長を8ビット、小数点位置をMSBと2ビット目の間にとった場合、乗算によるビットの構成は第2図のようになる。

実際の回路ではDSPの扱うデータが8ビットとすると解の×印のビットは切り捨て或いは丸めにより捨てられるので、解としては×印のない上位8ビットの値が取られる。

一般の演算では上記の様に下位ビットは捨てられても良い(又は四捨五入する)ものとして使用されているが、整数乗算(即ち乗数、被乗数の小数点位置がLSBの下に在るとして乗算する)を行う時には、解として第2図の×印の7ビットを含

む8ビットを出力したい場合もある。

例えばフーリエ級数の計算等で数表から次々に数値データを引き出す場合、数値データのアドレスを計算する時には此の様な場合が起きる。

此の様な場合には従来の固定小数点方式の乗算回路に上位の8ビット又は下位の8ビットを選択する回路を付加すれば此の問題は解決するが、上位の8ビットを取ることを第一の目的にしているDSPでは其の為の回路増となる(アキュムレータ、乗算部分の回路の増加になる)と云う欠点がある。

(a). 発明の目的

本発明の目的は従来技術の有する上記の欠点を除去し、乗数、被乗数の置数時に其の桁位置を考慮して置数することに依って乗算結果が其の繰上り演算解となる方式を提供することである。

(d). 発明の構成

上記の目的は本発明によれば、乗数を収容するレジスタ、被乗数を収容するレジスタ、乗算回路及びアキュムレータより構成される固定小数点乗算回路に於いて、整数同士の乗算を実施する場合、

算され、アキュムレータDに解が出力される。

整数同士の乗算の場合も、アドレス・レジスタHからのアドレス・データは同様にセレクトE、Fを経由してレジスタA、Bに夫々入力される。

然し此の場合には第4図に示す様に、置数する時、第4図(i)(ii)の様に、乗数abcd、被乗数efgを置数しないで、(iii)(iv)の様に上位から置数する。

而も整数同士の乗算の結果が、第4図(v)の○印に示す様に例えば7桁、乗数は4桁、被乗数は3桁と規定して置く。従って乗算結果の最下位の数字は必ず1印の処に位置する様に置数する。

若し乗数が4桁以下の時、例えば2桁の時には、00abとレジスタAに入力する。又同様に被乗数が3桁以下の時例えば2桁の時には、0efとレジスタBに入力する。

此の様にして必ず計算結果の最下位の数字が1印の処に位置する様にする。

次にアキュムレータDに収容されている乗算結果(v)の上位7桁を取り、アドレス・レジスタH

前記整数の乗数、被乗数を前記レジスタに置数する際、桁位置をずらして置数出来る様にしたことを特徴とするデジタル信号処理方式を提供することにより達成される。

(e). 発明の実施例

本発明は置数時に桁シフトすれば、等価的に解の桁シフトが出来ることを利用し、下位桁の桁落ちする乗算器を持つ固定小数点方式の乗算に於いても必要に応じて固定小数点乗算を可能にするものである。

第3図は本発明の一実施例を示す図である。

第3図に於いて、E、Fはセレクト、Gはデータ・メモリ用レジスタ、Hはアドレス・レジスタで、其の他の記号は第1図と同じである。

第4図は第3図の動作を説明する為の図である。以下第3図に従って本発明の詳細を説明する。

普通のデータ同士の乗算の場合は、乗数、被乗数のデータは夫々データ・メモリ用レジスタGからセレクトE、Fを経由してレジスタA、Bに夫々入力され、乗算器Cに於いて固定小数点方式で乗

に戻し、下位7桁(×印で示す7桁)を従来と同じく切り捨てる。

上記の様な置数命令を追加することにより整数同士の乗算を従来の固定小数点乗算回路を利用して実施することが出来る。

(f). 発明の効果

以上詳細に説明した様に本発明によれば、従来の固定小数点回路に簡単な変更を加えることにより整数同士の乗算が出来ると云う大きい効果がある。

4. 図面の簡単な説明

第1図は従来技術によるDSPの乗算器部分の構成を示す。図中、A、Bはレジスタ、Cは乗算回路、Dはアキュムレータである。

第2図は第1図の回路の動作を説明する為の図である。

第3図は本発明の一実施例を示す図である。

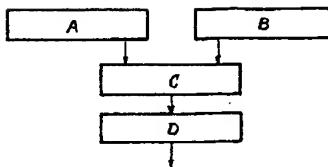
第3図に於いて、E、Fはセレクト、Gはデータ・メモリ用レジスタ、Hはアドレス・レジスタで、其の他の記号は第1図と同じである。

第4図は第3図の動作を説明する為の図である。

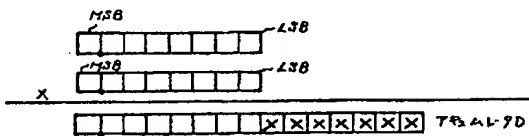
代理人 弁理士 松岡宏四



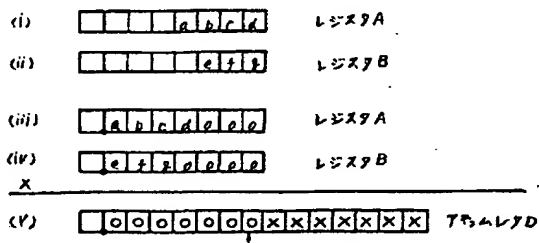
第1図



第2図



第4図



第3図

